

BEST AVAILABLE COPY**MAIN BODY SWITCH TYPE SOI(SILICON-ON-INSULATOR) CIRCUIT AND METHOD OF FORMING THE SAME****Patent number:** JP2000332132**Publication date:** 2000-11-30**Inventor:** BERTIN CLAUDE L; JOHN JOSEF ELLIS-MONAHAN;
ERIK RAY HEDBERG; HOOK TERENCE B;
MANDELMAN JACK ALLAN; EDWARD JOSEF
NOWACK; PRICER WILBUR DAVID; MIN HO TON;
TONTI WILLIAM R**Applicant:** IBM**Classification:****- international:** H01L21/8238; H01L27/092; H01L27/08; H01L27/12;
H01L29/786; H03K19/0944**- european:****Application number:** JP20000116911 20000418**Priority number(s):** US19990295124 19990420**Also published as:**

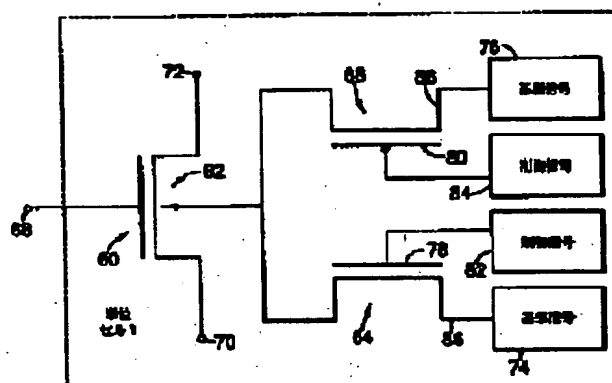
US6239649 (B1)

JP2003303898 (A)

Report a data error here**Abstract of JP2000332132**

PROBLEM TO BE SOLVED: To increase the threshold voltage of an FET element after switched from a floating state to a biased state by changing a bulk CMOS element to an element within a silicon substrate on an insulator.

SOLUTION: A unit cell 1 includes an SOINMOS transistor 60, and its main body or an isolated SOI substrate region 62 is connected to main-body-device transistor switches 64 and 66. The switch 64 is connected to a reference signal 74. When operated by a control signal 80 applied to a gate 78, the switch 64 supplies the signal 74 to the main body 62 of the transistor 60. The main body 62 is connected to a reference signal 76 via a switch 66, and the switch 66 is operated by a control signal 84 supplied to a gate 80. In an active switching state, the threshold voltage level is low, and in a standby state, it is high.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332132

(P2000-332132A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.	識別番号	FI	テーマト* (参考)
H01L 21/8238		H01L 27/08	321D
27/092			331E
27/08	331	27/12	L
27/12		27/08	321B
29/786		29/78	613A

審査請求 有 請求項の数21 OL (全 15 頁) 最終頁に続く

(21) 出願番号 特願2000-116911(P2000-116911)

(22) 出願日 平成12年4月18日 (2000. 4. 18)

(31) 優先権主張番号 09/295124

(32) 優先日 平成11年4月20日 (1999. 4. 20)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外1名)

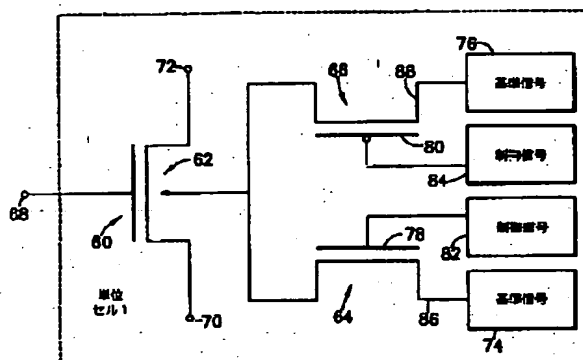
最終頁に続く

(54) 【発明の名称】 本体スイッチ式SOI (絶縁体上シリコン) 回路及びその形成方法

(57) 【要約】

【課題】 FET素子しきい値電圧を上昇させるFET素子を有する、本体スイッチ式SOI CMOS回路を提供すること。

【解決手段】 SOI素子を有する回路が、本体バイアス電圧信号をSOI素子本体に選択的に接続するスイッチを介して、本体バイアス電圧に接続される。NMOSまたはPMOS SOI素子が、本体スイッチ式SOI素子として使用され、FETがスイッチとして使用され、SOI素子のゲート端子がFET素子に接続される。SOI素子のゲートが、SOI素子への本体バイアス電圧信号のFETスイッチ接続を制御し、SOI素子のしきい値電圧を調整する。SOI素子を組み込む論理回路、及びSOI素子のための形成プロセスも同様に開示される。



(2) 000-332132 (P2000-332132A)

【特許請求の範囲】

【請求項1】第1のFETのスイッチングを制御する回路であって、

入力信号を受信する入力に接続されるゲートを有し、該入力信号に応答してオン及びオフする第1のFETと、第2のゲートと拡散領域とを有する第2のFETであって、前記第2のゲートが前記入力信号を受信する前記入力に接続され、前記拡散領域の1つが前記第1のFETの本体に接続され、前記入力信号に応答して、前記オン及びオフと同時に、前記第1のFETの電圧しきい値を調整する、第2のFETとを含み、前記拡散領域の別のものが、前記第1のFETの電圧しきい値の前記調整を有効にする選択可能な電圧レベルを有する電圧端子に接続される、回路。

【請求項2】前記第1及び第2のFETがエンハンスメント・モードFETである、請求項1記載の回路。

【請求項3】FET素子のスイッチングを制御する回路であって、

本体と、前記本体に接続されるゲート、ソース及びドレイン電極とを有する第1のFET素子と、本体バイアス電圧の少なくとも1つの電源と、前記FET素子の前記本体と、前記本体バイアス電圧の少なくとも1つの電源との間に接続され、前記本体バイアス電圧を前記FET素子に選択的に接続し、前記FET素子のしきい値電圧レベルを調整する少なくとも1つのスイッチング手段と、前記少なくとも1つのスイッチング手段を前記FET素子の前記ゲート電極に接続し、前記本体バイアス電圧と前記FET本体との間の選択的スイッチ接続を制御する接続手段とを含む、回路。

【請求項4】前記FET素子がSOI FET素子である、請求項3記載の回路。

【請求項5】前記少なくとも1つのスイッチング手段が、ソース、ドレイン及びゲート電極を有するFETスイッチであって、前記接続手段が前記FETスイッチの前記ゲート電極を前記SOI FET素子の前記ゲート電極に接続して、前記FETスイッチをオン及びオフする、請求項4記載の回路。

【請求項6】前記SOI FET素子がNFETである、請求項4記載の回路。

【請求項7】前記SOI FET素子がPFETである、請求項4記載の回路。

【請求項8】前記FETスイッチが前記本体バイアス電圧を前記SOI FET素子に接続し、前記SOI FET素子のしきい値電圧を低下させる、請求項5記載の回路。

【請求項9】前記FETスイッチが前記本体バイアス電圧を前記SOI FET素子に接続し、前記SOI FET素子のしきい値電圧を上昇させる、請求項5記載の回路。

【請求項10】第1のタイプのFET素子のスイッチングを制御する回路であって、

入力信号を受信する入力に接続されるゲートを有する、第1のタイプのFET素子と、前記入力信号を受信する前記入力に接続されるゲートを有し、前記第1のタイプのFET素子の本体に接続され、前記入力信号に応答して、前記第1のタイプのFET素子の電圧しきい値を第1の方向に調整する、第2のタイプのFET素子と、前記入力信号を受信する前記入力に接続されるゲートを有し、前記第1の第1のタイプのFET素子の前記本体に接続され、前記入力信号に応答して、前記第1の第1のタイプのFET素子の前記電圧しきい値を第2の方向に調整する、第2の第1のタイプのFET素子とを含む、回路。

【請求項11】第1のFET素子のスイッチングを制御する構造であって、前記第1のFET素子が第1のタイプのドーピングを有する第1のソース領域を有するものにおいて、

前記第1のタイプのドーピングを有する第1のドレインと、第2のタイプのドーピングを有する第1の本体領域とを含み、前記第1のソース領域及び前記第1のドレイン領域が、互いに隣接せずに、前記第1の本体領域に隣接し、前記第1の本体領域上に配置される第1の絶縁層と、前記第1の絶縁層上に配置されるゲート層とを含み、前記構造が少なくとも第2のFET素子を含み、前記第2のFET素子が、第2のタイプのドーピングを有する第2のソース領域と、第1のタイプのドーピングを有し、前記第1のFET素子の前記第1の本体領域に隣接する第2の本体領域と、第2のタイプのドーピングを有し、前記第2の本体領域に隣接する第2のドレイン領域とを含む、構造。

【請求項12】前記構造が、第1のタイプのドーピングを有する第1及び第2の拡散領域と、第2のタイプのドーピングを有する第3の本体領域とを含み、前記第1及び第2の拡散領域が互いに隣接せずに、前記第3の本体領域に隣接する、第3のFET素子と、前記第3の本体領域上に配置される第2の絶縁層であって、前記ゲート層が前記第2の絶縁層上に配置される、第2の絶縁層と、前記第1の本体領域及び前記第3のFET素子の前記拡散領域の1つだけに隣接し、第2のタイプのドーピングを有する中間領域とを含み、前記中間領域及び前記拡散領域の前記1つと一緒に短絡される、請求項11記載の構造。

【請求項13】入力信号を受信する入力を含み、

(3) 000-332132 (P2000-332132A)

前記入力が入力ゲート、前記拡散領域の1つ、及び前記第2の素子に接続され、前記入力信号にตอบสนองして、前記第1のFET素子及び、前記第2または第3のFET素子のいずれか一方だけを同時にスイッチ・オンする、請求項12記載の構造。

【請求項14】前記第1の絶縁層及び前記ゲート層が、前記第1の素子の領域上で広がる、請求項12記載の構造。

【請求項15】複数の本体スイッチ式SOI単位セルを含む相補バス・ゲート論理回路であって、第1のFET素子のゲートが第2のFET素子のゲートに接続される、各々が少なくとも2つのFET素子を含む、少なくとも4つの本体スイッチ式SOI単位セルと、

第1の前記本体スイッチ式SOI単位セルに接続される第1の論理信号A入力手段と、

前記第1の前記本体スイッチ式SOI単位セル、及び第2及び第3の前記本体スイッチ式SOI単位セルに接続される第2の論理信号B入力手段と、

前記第3の本体スイッチ式SOI単位セルに接続される第3の論理信号NOT A入力信号手段と、

前記第2の本体スイッチ式SOI単位セル及び第4の前記本体スイッチ式SOI単位セルに接続される第4の論理信号NOT B入力手段と、

前記第1及び第2の本体スイッチ式SOI単位セルの出力に接続され、 $NOT Q = (NOT A) \times (NOT B)$ 出力論理信号を提供する第1のインバータ・バッファ回路と、

前記第3及び第4の本体スイッチ式SOI単位セルの出力に接続され、 $Q = (A) \times (B)$ 出力論理信号を提供する第2のインバータ・バッファ回路とを含む、相補バス・ゲート論理回路。

【請求項16】SOI FETトランジスタ単位セルを形成する方法であって、

酸化物層上に配置されるシリコン層を含むSOIウエハを提供するステップと、

前記シリコン層内に酸化物トレンチ分離領域を形成するステップと、

前記シリコン層をマスクングして、Nウェル・ドープメントを前記シリコン層の選択領域内に打ち込むステップと、

前記シリコン層をマスクングして、Pウェル・ドープメントを前記シリコン層の選択領域内に打ち込むステップと、

前記シリコン層上にゲート酸化物を形成するステップと、

ポリシリコン層を付着及びエッチングするステップと、

スペーサ要素を付着及びエッチングするステップと、
n+ソース及びドレイン拡張、及びp+ソース及びドレイン拡張をマスクングして、打ち込むステップと、

ソース及びドレイン・スペーサを付着及びエッチングするステップと、

n+及びp+ソース及びドレインをマスクングして、打ち込むステップと、

ケイ化物の層を付着するステップとを含む、方法。

【請求項17】SOI FETトランジスタ単位セルを形成する方法であって、

誘電体基板を提供し、前記基板上に構成済みポリシリコン層を配置するステップと、

前記ポリシリコン層内の選択位置に、第1の本体領域及び第2の本体領域を形成するステップと、

少なくとも第1及び第2の添加ソース拡散領域、及び第1及び第2の添加ドレイン拡散領域を、前記ポリシリコン層内に前記第1及び第2の本体領域に隣接して形成するステップと、

前記第1のソース、ドレイン及び本体領域上に第1のゲート領域を形成して、第1のFET素子を提供し、前記第2のソース、ドレイン及び本体領域上に第2のゲート領域を形成して、第2のFET素子を提供するステップとを含む、方法。

【請求項18】前記第1のドレイン領域及び前記第1のソース領域が第1のタイプのドーピングにより打ち込まれ、前記第1の本体領域が第2のタイプのドーピングを有し、前記第1のソース領域及び第1のドレイン領域に隣接する、請求項17記載の方法。

【請求項19】前記第1及び第2のゲート領域を形成する前に、前記第1及び第2のソース、ドレイン及び本体領域上に絶縁材料層を配置するステップを含む、請求項17記載の方法。

【請求項20】前記第2のドレイン領域及び前記第2のソース領域が第2のタイプのドーピングにより打ち込まれ、前記第2の本体領域が第1のタイプのドーピングを有し、前記第1の本体領域に隣接する、請求項17記載の方法。

【請求項21】前記ポリシリコン層内の選択位置に第3の本体領域を形成するステップと、

第3の添加ソース拡散領域及び第3の添加ドレイン拡散領域を、前記ポリシリコン層内に前記第3の本体領域に隣接して形成するステップと、

前記第3のソース、ドレイン及び本体領域上に第3のゲート領域を形成して、第3のFET素子を提供するステップとを含む、請求項17記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁体上シリコン(SOI: Silicon-On-Insulator)・トランジスタのしきい値電圧を動的に変更する手段に関して、特に、調整可能なしきい値電圧を有するSOIトランジスタ素子を組み込む、高性能、低電力集積回路を提供するための、大規模集積論理回路内でのSOIトランジスタ単位セル

(4) 000-332132 (P2000-332132A)

のアプリケーションに関する。

【0002】

【従来の技術】SOI素子のしきい値電圧は、本体ソース間バイアス電位を変更することにより、変更可能である。CMOS素子のバイアス電圧の調整、またはSOI素子及びそれらのアプリケーションに一般に関する参考文献には、次のものがある。

【0003】Arimotoらによる米国特許第5610633号は、本体バイアス電位をMOS-FET論理回路のための第1及び第2の値間で変換する半導体回路を開示する。

【0004】Marlowによる米国特許出願第5608344号は、FETの本体を第1の電圧または第2の電圧のいずれかに接続する、アナログ双投スイッチを開示する。

【0005】Yamaguchiらによる米国特許第5557231号は、待機状態での消費電力を低減するための、第1の基板バイアス電圧値を生成する第1のバイアス電圧生成回路と、活動状態での動作スピードを増加するための、第2の基板バイアス電圧値を生成する第2のバイアス電圧生成回路とを含む半導体素子を開示する。

【0006】Shigeharaらによる米国特許第5552723号は、2つのNチャネルFETを有するMOSFET素子のための本体バイアス・スイッチを開示し、一方のFETは制御されるFETとの共通ゲートを有し、他方は制御されるFETのゲートの信号の相補により制御されるゲートを有する。

【0007】Hirayamaらによる米国特許第5461338号は、基板上の複数のトランジスタを有する回路と、活動状態での高速動作のための低しきい値バイアス電圧、及び待機状態での低消費電力のための高しきい値バイアス電圧を提供するバイアス電圧生成回路とを開示する。

【0008】Shiratoらによる米国特許第4809056号は、SOI構造の改善された接触領域を形成する技術を開示する。

【0009】Farbらによる米国特許第5185535号は、SOI基板上に形成される隣接CMOSTランジスタのための、別々に制御可能で独立のバック・バイアスを開示する。

【0010】他の参考文献には、Dousekiによる米国特許第5594371号、Mullarkeyによる米国特許第5602790号、Leeらによる米国特許第5546020号、Tysonによる米国特許第5317181号、Blakeらによる米国特許第5422583号、Stoodによる米国特許第4612461号、Winnerlらによる米国特許第4791316号、Takacsらによる米国特許第5045716号、Cavigliaらによる米国特許第5103277号、及びMatthewsによる米国特許第5341034号などがある。

【0011】

【発明が解決しようとする課題】本発明の目的は、浮遊体状態からバイアス状態にスイッチされ、スイッチング後にFET素子しきい値電圧を上昇させるFET素子を有する、本体スイッチ式SOI CMOS回路を提供することである。

【0012】本発明の別の目的は、オン/オフ電流比を増大するためのFET素子ウェルの回路制御を有する、本体スイッチ式SOI CMOS回路を提供することである。

【0013】更に本発明の別の目的は、FETのゲート端子がFET本体への本体バイアスの接続を制御する、本体スイッチ式SOI単位セル構造を提供することである。

【0014】更に本発明の別の目的は、活動スイッチング状態において低しきい値電圧レベルを、待機状態において高しきい値電圧レベルを有する、本体スイッチ式SOI素子を提供することである。

【0015】更に本発明の別の目的は、SOI FET素子の異なる動作状態の間に、ソース-本体間電圧が別々に制御される、本体スイッチ式SOI単位セル構造を提供することである。

【0016】更に本発明の別の目的は、本体ソース間電位を変更することにより変更可能なしきい値電圧レベルを有するFET素子を有する、本体スイッチ式SOI CMOS単位セル構造を提供することである。

【0017】更に本発明の別の目的は、低電圧レベル浮遊体状態からバイアス状態にスイッチされ、スイッチング後にしきい値電圧レベルを上昇させる、本体スイッチ式SOI単位セル構造を提供することである。

【0018】更に本発明の別の目的は、本発明の原理に従い、SOI素子を形成する改善された方法を提供することである。

【0019】更に本発明の別の目的は、本発明の原理に従うSOI単位セルを含む相補パス・ゲート論理回路を提供することである。

【0020】本発明の別の目的は、本発明の原理に従うSOI単位セルを含むラッチ回路を提供することである。

【0021】

【課題を解決するための手段】現CMOS技術は、低電圧及び小寸法をスケールし続けている。現在、3.5V及び2.5V動作が存在し、1.8V動作も期待されている。しかしながら、しきい値電圧のスケールリングは益々困難になりつつある。しきい値電圧が電源電圧に伴いスケールされないと、低い有効電流のために、性能的に影響を受けることになる。しきい値電圧が低い値にスケールされる場合、トランジスタはオフ状態において高リーク電流を示す。更に、データによれば、低電圧に伴いアルファ粒子感度が増加することが示され、安定な論理

(5) 000-332132 (P2000-332132A)

機能、シフトレジスタ・ラッチ及びメモリ記憶セルを設計することをより困難にする。

【0022】1つの解決策は、バルクCMOS素子から、絶縁体上シリコン(SOI)基板内の素子に変更することである。SOI基板は、その小さな捕獲断面積のために、低いアルファ粒子感度を示す。しかしながら、衝撃イオン化が、約1.75V以上では、より大きな総合アルファ粒子感度を生じる。1.75V以下では、バルクCMOSに相対するアルファ粒子感度は、衝撃イオン化の大幅な低減のために、著しく低下し、0.75Vでは、1桁以上の大きさの差となる。

【0023】本発明の他の特徴及び利点は、図面を参照しながら、以下の説明において明らかとなろう。前述の一般的な説明及び以下の詳細説明は、典型的且つ解説のためのものであり、本発明を制限するものではない。本発明に組み込まれ、その一部を構成する添付の図面は、本説明と共に、本発明の原理を一般的に説明することに貢献する。同一の参照番号は本開示を通じて、同一の部品を指し示す。

【0024】

【発明の実施の形態】本発明はSOI素子、特にNFETまたはPFET SOI CMOS素子を、NFETまたはPFET素子などのスイッチと組み合わせて使用することにより、集積回路内で使用され得る単位セルを提供する。

【0025】典型的なSOI素子は、単結晶層の下側に配置されて、(p+, n-, p+)または(n+, p-, n+)半導体素子を提供するようにパターンニングされる、例えば二酸化ケイ素から成る比較的厚い絶縁体層を有する。

【0026】図1を参照すると、本発明の基本回路が示され、そこではSOI NFET素子10のゲート端子12が、ゲート制御スイッチ22により、SOI NFET素子本体16への本体バイアス電圧14の接続を制御する。図2では、同様のゲート端子26、本体バイアス電圧14、及びゲート制御スイッチ22を有するSOI PFET素子24が示される。図1では、NFET素子ソース端子は18で示され、ドレイン端子は20で示される。図2では、PFET素子のソース端子は30として、またドレイン端子は32として示される。

【0027】第1の動作モードでは、図1のSOI NFET素子10(または図2のSOI PFET素子24)がオンするとき、ゲート制御スイッチ22が閉じられ、NFET素子10(またはPFET素子24)がオフするとき、開かれるようにセットされる。第2の動作モードでは、NFET素子10(またはPFET素子24)がオンするとき、ゲート制御スイッチ22が開かれ、NFET素子10(またはPFET素子24)がオフするとき、閉じられる。第1の動作モードでは、スイッチングの間に、本体バイアス電圧14が、NFET素

子10(またはPFET素子24)のしきい値電圧を下げるポテンシャル値にセットされ、第2の動作モードでは、NFET素子10(またはPFET素子24)がオフの時、本体バイアス電圧14が、NFET素子10(またはPFET素子24)のしきい値電圧を上げるポテンシャル値にセットされる。図1及び図2の回路では、本体バイアス電圧が素子のソース端子への接続により獲得される。別の実施例では、本体バイアス電圧が電源への接続により獲得される。

【0028】図3を参照すると、SOI NFET素子10を含む本発明の実施例が示され、図1に示されるゲート制御スイッチ22が、PFET素子26として実現される。PFET素子26は、本体バイアス電圧14とNFET素子10の本体16との間に接続されるソース及びドレイン拡散領域を有する。PFET素子26は、そのゲート端子25がNFET素子10のゲート端子12に接続されることにより、スイッチされる。図3では、NFET素子10がオフのとき、本体バイアス電圧14がPFET素子26により、NFET素子10の本体16に接続される。

【0029】図4を参照すると、SOI PFET素子24を含む本発明の実施例が示され、図2のゲート制御スイッチ22がNFET素子34として実現される。NFET素子34は、本体バイアス電圧14とPFET素子24の本体28との間に接続されるソース及びドレイン拡散領域を有する。NFET素子34は、そのゲート端子33がPFET素子24のゲート端子27に接続されることにより、スイッチされる。図4では、PFET素子24がオフのとき、本体バイアス電圧14がNFET素子34により、PFET素子24の本体28に接続される。

【0030】図5を参照すると、SOI NFET素子36を含む本発明の実施例が示され、図1のゲート制御スイッチ22が、NFET素子38として実現され、NFET素子38は、NFET素子36のゲート端子40への接続によりスイッチされる。図5では、NFET素子36がオンのとき、本体バイアス電圧14がNFET素子38により、NFET素子36の本体に接続される。

【0031】図6を参照すると、SOI PFET素子46を含む本発明の実施例が示され、図2のゲート制御スイッチ22が、PFET素子48として実現され、PFET素子48は、PFET素子46のゲート端子50への接続によりスイッチされる。図6では、PFET素子46がオンのとき、本体バイアス電圧14がPFET素子48により、PFET素子46の本体に接続される。

【0032】図1乃至図6に示された前述の回路は、MOSFET素子として実現されるが、本発明は任意のまたは全てのトランジスタ素子として、他のトランジスタ

(6) 000-332132 (P2000-332132A)

・タイプ (JFET 及び MESFET など) を用いても実現される。

【0033】本発明は、図1乃至図6に示される単一の電源の本体バイアス電圧の使用に制限されるものではない。図7を参照すると、図1のNFET素子10が、2つの電源の本体バイアス信号14A及び14Bと共に示される。本体バイアス信号14Aは、通常開状態のゲート制御スイッチ22A (すなわちゲート12からの信号により制御される) を介して、本体16に接続される。同様に、本体バイアス信号14Bは、通常閉状態のゲート制御スイッチ22Bを介して、本体16に接続される。

【0034】図8では、PFETバージョンが示され、そこではPFETトランジスタ24の本体28が、通常開状態のゲート制御スイッチ22Aを介して、本体バイアス信号14Aに接続される。同様に、本体バイアス信号14Bは、通常閉状態のゲート制御スイッチ22Bを介して、PFET24の本体28に接続される。

【0035】図1乃至図8に示されるトランジスタ単位セルのスイッチング機能は、素子ゲートにより制御されるものに限られず、図9乃至図12の実施例において示される回路により制御され得る。

【0036】単位セル1と呼ばれる図9の回路を参照すると、単位セルの実施例が、SOI NMOSトランジスタ60を含むように示され、その本体または分離SOI基板領域62が、本体バイアス・トランジスタ・スイッチ64及び66に接続される。トランジスタ・スイッチ64は基準信号74に接続され、これはトランジスタ・スイッチ64がそのゲート78に接続される制御信号82により動作されるとき、トランジスタ60の本体62に供給される。

【0037】同様に、トランジスタ60の本体62は、トランジスタ・スイッチ66を介して基準信号76に接続され、トランジスタ・スイッチ66は、そのゲート80に供給される制御信号84により動作される。

【0038】図9では、トランジスタ60及び64がNMOS素子として示され、トランジスタ66がPMOS素子として示される。ここでトランジスタ60はPMOS素子であってもよい。トランジスタ60のソース70及びドレイン72は、高性能化のために、既知の技術を用いて個別に適合化される。参照番号74及び76は、トランジスタ60がNMOSまたはPMOSトランジスタのいずれとして選択されるかに従い、及び単位セルが一緒に使用される回路アプリケーションに従い、ハイまたはロウ・レベル電圧である。

【0039】図10を参照すると、単位セル2と呼ばれる本発明の別の実施例が示される。図9の単位セル1と図10の単位セル2との違いは、単位セル2では、トランジスタ・スイッチ64のゲート78及びトランジスタ・スイッチ66のゲート80が、ノード90により、N

FET SOIトランジスタ60のゲートに接続されることである。従って、トランジスタ・スイッチ64及び66は、NFET SOIトランジスタ60のゲート上の信号により動作される。

【0040】図10では、NMOSトランジスタ60が分離SOI領域内に存在する。NMOSトランジスタ64は、SOI基板から分離されたpタイプ領域内に存在し、トランジスタ64のゲート電圧が正またはハイのとき、トランジスタ60の基板上の電圧を制御する。PMOSトランジスタ66は、SOI基板から分離されたnタイプ領域内に存在し、トランジスタ66のゲート電圧が負またはロウのとき、トランジスタ60の基板上の電圧を制御する。

【0041】図11は、単位セル3と呼ばれる本発明の更に別の実施例を示す。単位セル3は、トランジスタ・スイッチ66に接続される基準信号76がグラウンド電位である以外は、図10の単位セル2と同一である。

【0042】図12は、単位セル4と呼ばれる本発明の更に別の実施例を示す。単位セル4は、図10のSOIトランジスタ60が、図12の単位セル4ではPFETトランジスタである以外は、図10の単位セル2と同一である。

【0043】前述のように、本発明のトランジスタ単位セルは、ロジック、シフトレジスタ及びメモリ・アプリケーション内に統合されて、高速、低消費電力のアルファ粒子非感応回路を提供する。

【0044】図13を参照すると、図10の単位セル2が相補パス・ゲート論理回路内に組み込まれる実施例が提供される。パス・ゲート回路は6本の入力リード120、122、124、126、128及び130を有し、これらはそれぞれ論理信号A、B、バーA (NOT A)、バーB (NOT B)、B及びバーBに接続される (ここでは論理反転信号を"バー"として記す)。第1の単位セル132は、入力リード120及び128上のそれぞれ論理信号A及びBに接続される。入力リード120及び128は、単位セル2内において、図10のリード68及び79に接続され、図10のリード72は、図13の出力インバータ140に接続される。第2の単位セル134は、入力リード122及び130上のそれぞれ論理信号B及びバーBに接続される。第3の単位セル136は、入力リード124及び128上のそれぞれ論理信号バーA及びBに接続され、第4の単位セル138は、入力リード126及び130上のそれぞれ論理信号バーB及びバーBに接続される。

【0045】インバータ・バッファ回路140は、単位セル132及び134の出力を結合し、論理信号A及びBの積の相補として、出力論理信号バーQを提供する。第2のインバータ・バッファ回路142は、単位セル136及び138に接続され、論理信号A及びBの積として、出力論理信号Qを提供する。

(7) 000-332132 (P2000-332132A)

【0046】図13の相補パス・ゲート論理回路は、低いしきい値SOIスイッチング・トランジスタを組み込み、低電圧、小スケール寸法の集積回路アプリケーションのために使用され得る。この論理回路はまた、この低電圧動作では、アルファ粒子放射に非感応的である。

【0047】図10の単位セル2を使用する図13の回路は、従来の相補パス・ゲート論理回路に勝る幾つかの利点を有する。基準信号76を約0.4Vの順バイアス電圧に接続し、基準信号74をグラウンド以下の電圧（例えば-0.5V）に接続することにより、電流導通NFET60が、FETが通常晒されるオーバドライブを超える有効オーバドライブ範囲を通じてスイッチされる。例えば、NFETは（本体電圧の0.4Vから-0.5Vへの変化に際して）約150mVのしきい値電圧（ V_t ）変化を経験し、これは回路が低電圧で動作しているときには、意義深いオーバドライブ変化である。従って、図13に示される特定の実施例以外のパス・トランジスタ回路は、本発明の単位セルを使用することにより、低電圧電源において恩恵を受ける。

【0048】本発明の単位セルを使用しないパス・トランジスタ回路は、電圧が低下されるとき、そのスピードの恩恵を失う。なぜなら、回路を適切に動作させるために、 V_t の何段階かの低下が必要となるからである。本発明では、パス・トランジスタがオンのとき、 V_t がロウであり、回路内で何段階かの V_t 低下を可能にする。パス・トランジスタがオフのとき、 V_t はハイであり、追加のリーク電流を阻止し、良好な雑音余裕度を提供する。

【0049】図13の回路における本発明の別の利点は、本体スイッチング振舞いが、オーバドライブの同一の変化（ $V_{gs}-V_t$ ）に対して、著しく低い電源電圧での動作を可能にする。例えば、単位セルの使用は、0.6V V_{dd} 以下での動作を可能にする。有効電力は V_{dd} の2乗に比例するので、これは電源の低下を可能にし、 V_{dd} の恩恵の獲得を可能にする一方で、高い電源電圧の電流導通能力を維持する。本発明の実施例では、例えば素子60などの本体結合型FETが、高い基板感度を有するように最適化され、従ってしきい値電圧スイングの基板制御を向上させる。 V_t の大きな変化（150mV以上）は、電源電圧がどの程度低く選択されるかにもとづき、意義深い性能利得を提供する。

【0050】図14を参照すると、本発明の単位セルの別の論理回路アプリケーションが示される。図14では、電圧 V_{dd} とグラウンド間に接続されて、ラッチ機能を提供する4つの単位セル150、152、154及び156を含む回路が提供される。単位セル150及び154は、リード158上のラッチ信号に接続され、単位セル152及び156は、リード160上のラッチ信号に接続される。

【0051】好適な実施例は単位セル4（図14の素子

150及び152）を有し、図12の基準信号96がグラウンドに接続され、図12の基準信号94が V_{dd} に接続される。更に、単位セル2（図14の素子154及び156）は、図10の基準信号76がグラウンドに、基準信号74が V_{dd} に接続される。この実施例は、 V_{dd} が約0.6V程度の非常に低い電圧において貴重である。0.6V以下の V_{dd} では、高い方の基準電圧が V_{dd} よりも高く、低い方の基準電圧がグラウンドよりも低い。0.6Vよりも高い V_{dd} では、高い基準電圧が V_{dd} よりも低い。

【0052】図14のラッチ回路は、アルファ粒子非感応性が重要となる低電圧、小スケール寸法のアプリケーションにも適用可能である。

【0053】図14のラッチ回路での本発明の単位セルの使用の利点は、図13のそれらと類似である。図14では、本体制御を有するNFET及びPFET素子の両方が使用される。図14のラッチ回路の動作の間、基板バイアスの変化も V_t を変化させる。更に、 V_t のこの変化はまた、ラッチ回路の安定性を向上させる。その結果、低電圧動作において、図14の回路は、非常に低い V_{dd} 電圧で動作する従来の回路に比較して、より安定にラッチする。更に、ラッチ回路が大規模アレイ内で使用される場合、素子がオフの時の高い V_t は待機時消費電力を低減する。

【0054】図13及び図14は、2つの論理回路における本発明の単位セルの使用を示す。他の論理回路も同様に、それらの使用から恩恵を受ける。例えば、刊行物 Top-Down Pass Transistor Logic Design, IEEE J. Solid State Circuits, Vol. 31, No. 6 pp. 792-803, June 1996は、相補パス・トランジスタ設計及び幾つかの他のパス・トランジスタ回路を示し、これらについても、図示のパス・トランジスタの代わりに、本発明の単位セルを使用することにより、恩恵を受けることができる。

【0055】図15乃至図25を参照すると、図10に示されるタイプの3つのFETを用いて、本発明の本体スイッチ式SOI素子を形成する方法の様々なステップを示す上面図及び側面図が提供される。

【0056】図15は、図10に示されるような単位セルの形成における第1のステップを示す側面図である。SOIウエハ200はシリコン基板290、酸化物層300及びシリコン層310を含み、標準のトレンチ分離プロセス・ステップにより、酸化物領域305が形成される。図16は、プロセスの第1のステップにおける酸化物分離境界層の構成の上面図である。

【0057】図17は、標準のVLSIプロセスを用いて、フォトレジスト・マスク312を画定し、Nウェル・ドーパント316をシリコン層310内に打ち込む、次のプロセス・ステップの側面図を示す。次に、別のフォトレジスト・マスクが画定され、Pウェル・ドーパントがシリコン層310内に打ち込まれて、図18に示さ

(8) 000-332132 (P2000-332132A)

れる構造を生成する。図18はまた、ゲート酸化物層315が成長され、ゲート・ポリシリコン層340が付着されてエッチングされる、次のプロセス・ステップを示す。構造の形成の上面図が、図19、図20及び図21に示される。

【0058】次に図22では、スペーサ330が付着されてエッチングされ、フォトリソ・マスク314が画定され、構造がドーパント318により打ち込まれて、n+ソース及びドレイン拡張を形成する。その後、第2のフォトリソ・マスク及び打ち込みにより、p+ソース及びドレイン拡張が形成される。

【0059】次に図23に示されるように、ソース及びドレイン・スペーサを付着してエッチングし、マスキングの後、n+ソース及びドレイン・ドーパントを打ち込む。次に、再度マスキングの後、p+ソース及びドレイン・ドーパントを打ち込み、図25に示される素子を生成する。この時点における構造の上面図が、図24に示される。

【0060】図24では、図10で使用されたのと同じ参照番号が使用される。図24において、トランジスタ60はポリシリコン・ゲート領域68、n+ソース領域72、及びn+ドレイン領域70を含む。p本体領域（図示せず）がゲート領域68下に存在し、図25に310として示される。図10のトランジスタ66が図24に示され、これはゲート領域80、p+ソース領域76、図24では示されないが、図25に310（トランジスタ60の本体領域310と同一）として示されるpドレイン領域、及び図24では示されないが、図25に325として示されるゲート領域80下のn本体領域を含む。

【0061】図10のトランジスタ64が図24に示され、これはゲート領域78、n+ソース領域74、n+ドレイン領域174、及び図24で示されないが、図25で328として示される本体領域を含む。

【0062】最後に、図25に示されるように、ケイ化物321、350、360及び370が基板上に形成され、標準のVLSIプロセス・ステップにより、素子が完成される。

【0063】図25において、素子の側面図は、図10のトランジスタ60、64及び66を示し、トランジスタ66はゲート領域80、p+ソース領域76、pドレイン領域310（トランジスタ60の本体領域と同一）、及びn本体領域325を含む。酸化物層300が、pタイプ層310、328、p+添加領域76、320、n+添加領域74、174、酸化物スペーサ330、ポリシリコン・ゲート340、及びVref1及びVref2へのケイ化物接続350、360の下側に示される。

【0064】以上、本体バイアスを変化することにより、2つのしきい値電圧状態間をスイッチされるFET

素子を有する、本体スイッチ式SOI CMOS回路について述べてきた。そこではFETのゲート端子が、FET本体への本体バイアスの接続を制御する。

【0065】本発明の前述の本体スイッチ式SOIトランジスタ単位セル素子は、活動スイッチング状態において、低いしきい値電圧レベルを有し、待機状態において、高いしきい値電圧レベルを有し、異なる動作状態の間に、ソース-本体間電圧が別々に制御される。

【0066】本発明のトランジスタ単位セルは、ロジック及びシフトレジスタ・アプリケーション内に統合されて、高速、低電力のアルファ粒子非感応回路を提供する。

【0067】図26を参照すると、セル待機電圧に対する従来のバルクCMOS単位セル素子のソフト・エラー率の関係、及びセル待機電圧に対するSOI CMOS単位セル素子のソフト・エラー率の関係が示される。図26は、1.75V以下の動作では、本発明のSOI CMOS単位セルが良好なソフト・エラー率感度を提供することを示す。

【0068】本発明は好適な実施例及び好適な方法の順序に関連して述べてきたが、これらは本発明の範囲を制限するものではなく、逆に、形成ステップの順序の変更や変化も、本発明の趣旨及び範囲に含まれる。

【0069】まとめとして、本発明の構成に関して以下の事項を開示する。

【0070】(1) 第1のFETのスイッチングを制御する回路であって、入力信号を受信する入力に接続されるゲートを有し、該入力信号にตอบสนองしてオン及びオフする第1のFETと、第2のゲートと拡散領域とを有する第2のFETであって、前記第2のゲートが前記入力信号を受信する前記入力に接続され、前記拡散領域の1つが前記第1のFETの本体に接続され、前記入力信号にตอบสนองして、前記オン及びオフと同時に、前記第1のFETの電圧しきい値を調整する、第2のFETとを含み、前記拡散領域の別のものが、前記第1のFETの電圧しきい値の前記調整を有効にする選択可能な電圧レベルを有する電圧端子に接続される、回路。

(2) 前記第1及び第2のFETがエンハンスメント・モードFETである、前記(1)記載の回路。

(3) FET素子のスイッチングを制御する回路であって、本体と、前記本体に接続されるゲート、ソース及びドレイン電極とを有する第1のFET素子と、本体バイアス電圧の少なくとも1つの電源と、前記FET素子の前記本体と、前記本体バイアス電圧の少なくとも1つの電源との間に接続され、前記本体バイアス電圧を前記FET素子に選択的に接続し、前記FET素子のしきい値電圧レベルを調整する少なくとも1つのスイッチング手段と、前記少なくとも1つのスイッチング手段を前記FET素子の前記ゲート電極に接続し、前記本体バイアス電圧と前記FET本体との間の選択的スイッチ接続を制

(9) 000-332132 (P2000-332132A)

御する接続手段とを含む、回路。

(4) 前記FET素子がSOI FET素子である、前記(3)記載の回路。

(5) 前記少なくとも1つのスイッチング手段が、ソース、ドレイン及びゲート電極を有するFETスイッチであって、前記接続手段が前記FETスイッチの前記ゲート電極を前記SOI FET素子の前記ゲート電極に接続して、前記FETスイッチをオン及びオフする、前記(4)記載の回路。

(6) 前記SOI FET素子がNFETである、前記(4)記載の回路。

(7) 前記SOI FET素子がPFETである、前記(4)記載の回路。

(8) 前記FETスイッチが前記本体バイアス電圧を前記SOI FET素子に接続し、前記SOI FET素子のしきい値電圧を低下させる、前記(5)記載の回路。

(9) 前記FETスイッチが前記本体バイアス電圧を前記SOI FET素子に接続し、前記SOI FET素子のしきい値電圧を上昇させる、前記(5)記載の回路。

(10) 第1のタイプのFET素子のスイッチングを制御する回路であって、入力信号を受信する入力に接続されるゲートを有する、第1のタイプのFET素子と、前記入力信号を受信する前記入力に接続されるゲートを有し、前記第1のタイプのFET素子の本体に接続され、前記入力信号にตอบสนองして、前記第1のタイプのFET素子の電圧しきい値を第1の方向に調整する、第2のタイプのFET素子と、前記入力信号を受信する前記入力に接続されるゲートを有し、前記第1の第1のタイプのFET素子の前記本体に接続され、前記入力信号にตอบสนองして、前記第1の第1のタイプのFET素子の前記電圧しきい値を第2の方向に調整する、第2の第1のタイプのFET素子とを含む、回路。

(11) 第1のFET素子のスイッチングを制御する構造であって、前記第1のFET素子が第1のタイプのドーピングを有する第1のソース領域を有するものにおいて、前記第1のタイプのドーピングを有する第1のドレインと、第2のタイプのドーピングを有する第1の本体領域とを含み、前記第1のソース領域及び前記第1のドレイン領域が、互いに隣接せずに、前記第1の本体領域に隣接し、前記第1の本体領域上に配置される第1の絶縁層と、前記第1の絶縁層上に配置されるゲート層とを含み、前記構造が少なくとも第2のFET素子を含み、前記第2のFET素子が、第2のタイプのドーピングを有する第2のソース領域と、第1のタイプのドーピングを有し、前記第1のFET素子の前記第1の本体領域に隣接する第2の本体領域と、第2のタイプのドーピングを有し、前記第2の本体領域に隣接する第2のドレイン領域とを含む、構造。

(12) 前記構造が、第1のタイプのドーピングを有する第1及び第2の拡散領域と、第2のタイプのドーピングを有する第3の本体領域とを含み、前記第1及び第2の拡散領域が互いに隣接せずに、前記第3の本体領域に隣接する、第3のFET素子と、前記第3の本体領域上に配置される第2の絶縁層であって、前記ゲート層が前記第2の絶縁層上に配置される、第2の絶縁層と、前記第1の本体領域及び前記第3のFET素子の前記拡散領域の1つだけに隣接し、第2のタイプのドーピングを有する中間領域とを含み、前記中間領域及び前記拡散領域の前記1つが一緒に短絡される、前記(11)記載の構造。

(13) 入力信号を受信する入力を含み、前記入力力が前記ゲート、前記拡散領域の1つ、及び前記第2の素子に接続され、前記入力信号にตอบสนองして、前記第1のFET素子及び、前記第2または第3のFET素子のいずれか一方だけを同時にスイッチ・オンする、前記(12)記載の構造。

(14) 前記第1の絶縁層及び前記ゲート層が、前記第1の素子の領域上で広がる、前記(12)記載の構造。

(15) 複数の本体スイッチ式SOI単位セルを含む相補パス・ゲート論理回路であって、第1のFET素子のゲートが第2のFET素子のゲートに接続される、各々が少なくとも2つのFET素子を含む、少なくとも4つの本体スイッチ式SOI単位セルと、第1の前記本体スイッチ式SOI単位セルに接続される第1の論理信号A入力手段と、前記第1の前記本体スイッチ式SOI単位セル、及び第2及び第3の前記本体スイッチ式SOI単位セルに接続される第2の論理信号B入力手段と、前記第3の本体スイッチ式SOI単位セルに接続される第3の論理信号NOTA入力信号手段と、前記第2の本体スイッチ式SOI単位セル及び第4の前記本体スイッチ式SOI単位セルに接続される第4の論理信号NOT B入力手段と、前記第1及び第2の本体スイッチ式SOI単位セルの出力に接続され、 $NOTQ = (NOT A) \times (NOT B)$ 出力論理信号を提供する第1のインバータ・バッファ回路と、前記第3及び第4の本体スイッチ式SOI単位セルの出力に接続され、 $Q = (A) \times (B)$ 出力論理信号を提供する第2のインバータ・バッファ回路とを含む、相補パス・ゲート論理回路。

(16) SOI FETトランジスタ単位セルを形成する方法であって、酸化物層上に配置されるシリコン層を含むSOIウエハを提供するステップと、前記シリコン層内に酸化物トレンチ分離領域を形成するステップと、前記シリコン層をマスクングして、Nウェル・ドーパントを前記シリコン層の選択領域内に打ち込むステップと、前記シリコン層をマスクングして、Pウェル・ドーパントを前記シリコン層の選択領域内に打ち込むステップと、前記シリコン層上にゲート酸化物を形成するステップと、ポリシリコン層を付着及びエッチングするステ

(株) 00-332132 (P2000-332132A)

アップと、スペーサ要素を付着及びエッチングするステップと、 $n+$ ソース及びドレイン拡張、及び $p+$ ソース及びドレイン拡張をマスクングして、打ち込むステップと、ソース及びドレイン・スペーサを付着及びエッチングするステップと、 $n+$ 及び $p+$ ソース及びドレインをマスクングして、打ち込むステップと、ケイ化物の層を付着するステップとを含む、方法。

(17) SOI FETトランジスタ単位セルを形成する方法であって、誘電体基板を提供し、前記基板上に構成済みポリシリコン層を配置するステップと、前記ポリシリコン層内の選択位置に、第1の本体領域及び第2の本体領域を形成するステップと、少なくとも第1及び第2の添加ソース拡散領域、及び第1及び第2の添加ドレイン拡散領域を、前記ポリシリコン層内に前記第1及び第2の本体領域に隣接して形成するステップと、前記第1のソース、ドレイン及び本体領域上に第1のゲート領域を形成して、第1のFET素子を提供し、前記第2のソース、ドレイン及び本体領域上に第2のゲート領域を形成して、第2のFET素子を提供するステップとを含む、方法。

(18) 前記第1のドレイン領域及び前記第1のソース領域が第1のタイプのドーピングにより打ち込まれ、前記第1の本体領域が第2のタイプのドーピングを有し、前記第1のソース領域及び第1のドレイン領域に隣接する、前記(17)記載の方法。

(19) 前記第1及び第2のゲート領域を形成する前に、前記第1及び第2のソース、ドレイン及び本体領域上に絶縁材料層を配置するステップを含む、前記(17)記載の方法。

(20) 前記第2のドレイン領域及び前記第2のソース領域が第2のタイプのドーピングにより打ち込まれ、前記第2の本体領域が第1のタイプのドーピングを有し、前記第1の本体領域に隣接する、前記(17)記載の方法。

(21) 前記ポリシリコン層内の選択位置に第3の本体領域を形成するステップと、第3の添加ソース拡散領域及び第3の添加ドレイン拡散領域を、前記ポリシリコン層内に前記第3の本体領域に隣接して形成するステップと、前記第3のソース、ドレイン及び本体領域上に第3のゲート領域を形成して、第3のFET素子を提供するステップとを含む、前記(17)記載の方法。

【図面の簡単な説明】

【図1】 本体バイアス信号を素子に接続するためのゲート制御スイッチを有する本体スイッチ式SOI回路の、基本NFET構成を示す図である。

【図2】 本体バイアス信号を素子に接続するためのゲート制御スイッチを有する本体スイッチ式SOI回路の、基本PFET構成を示す図である。

【図3】 ゲート端子が素子への本体バイアス信号のスイッチ接続を制御する、本体スイッチ式SOI回路のNM

OS素子単位セル構成を示す図である。

【図4】 ゲート端子が素子への本体バイアス信号のスイッチ接続を制御する、本体スイッチ式SOI回路のPMOS素子単位セル構成を示す図である。

【図5】 ゲート端子が素子への本体バイアス信号のスイッチ接続を制御する、CMOS本体スイッチ式SOI回路のNFET単位セル構成を示す図である。

【図6】 ゲート端子が素子への本体バイアス信号のスイッチ接続を制御する、CMOS本体スイッチ式SOI回路のPFET単位セル構成を示す図である。

【図7】 2つのバイアス・レベル信号にそれぞれ接続される2つのスイッチを有する本体スイッチ式SOI NFETトランジスタ回路を使用する、本発明に従うトランジスタ単位セルの実施例を示す図である。

【図8】 2つのバイアス・レベル信号にそれぞれ接続される2つのスイッチを有する本体スイッチ式SOI PFETトランジスタ回路を使用する、本発明に従うトランジスタ単位セルの実施例を示す図である。

【図9】 本発明に従うSOIトランジスタ回路を使用するトランジスタ単位セルの実施例を示す図である。

【図10】 本発明の原理に従うSOIトランジスタ回路を使用するトランジスタ単位セルの別の実施例を示す図である。

【図11】 本発明の原理に従うSOIトランジスタ回路を使用するトランジスタ単位セルの更に別の実施例を示す図である。

【図12】 本発明の原理に従うSOIトランジスタ回路を使用するトランジスタ単位セルの更に別の実施例を示す図である。

【図13】 本発明の原理に従うSOIトランジスタ単位セルを使用する相補バス・ゲート論理回路の実施例を示す図である。

【図14】 本発明の原理に従うSOIトランジスタ単位セルを使用するラッチ回路の実施例を示す図である。

【図15】 本発明の原理に従うSOIトランジスタ単位セルを形成するプロセスの第1のステップを示す側面図である。

【図16】 プロセスの第1のステップにおける酸化物分離境界層の構成の上面図である。

【図17】 標準のVLSIプロセスを用いて、フォトレジスト・マスク312を画定し、Nウェル・ドーパント316をシリコン層310内に打ち込む、形成の次のステップを示す側面図である。

【図18】 別のフォトレジスト・マスクが画定され、Pウェル・ドーパントがシリコン層310内に打ち込まれ、更にゲート酸化物層315が成長され、ゲート・ポリシリコン層340が付着されて、エッチングされる、次のプロセス・ステップを示す側面図である。

【図19】 図17のステップの上面図である。

【図20】 図18の前半のステップの上面図である。

(図1) 00-332132 (P2000-332132A)

【図21】図18の後半のステップの上面図である。

【図22】スペーサ330が付着されてエッチングされ、フォトリソ・マスク314が画定され、構造がドーパント318により打ち込まれて、n+ソース及びドレイン拡張を形成し、その後、第2のフォトリソ・マスク及び打ち込みにより、p+ソース及びドレイン拡張を形成するプロセス・ステップを示す側面図である。

【図23】ソース及びドレイン・スペーサを付着してエッチングし、マスキングの後、n+ソース及びドレイン・ドーパントを打ち込み、次に、再度マスキングの後、p+ソース及びドレイン・ドーパントを打ち込むプロセス・ステップを示す側面図である。

【図24】図23のプロセス・ステップの結果形成される構造の上面図である。

【図25】図23のプロセス・ステップの結果形成される構造の側面図である。

【図26】本発明に従う単位セルのソフト・エラー率と、従来技術に従う単位セルのソフト・エラー率との比較を示す図である。

【符号の説明】

- | | |
|----------------------|--------------------------------|
| 10、36 SOI NFET素子 | 18、30、70 ソース端子 |
| 12、25、26、33、68 ゲート端子 | 20、32、72 ドレイン端子 |
| 14、14A、14B 本体バイアス電圧 | 22、22A、22B ゲート制御スイッチ |
| 16 SOI NFET素子本体 | 24、46 SOI PFET素子 |
| | 26、48 PFET素子 |
| | 28 SOI PFET素子本体 |
| | 34、38 NFET素子 |
| | 60 SOI NMOSTランジスタ |
| | 62 分離SOI基板領域(本体) |
| | 64、66 本体バイアス・トランジスタ・スイッチ |
| | 78、80、98、100 ゲート |
| | 120、122、124、126、128、130 入力カソード |
| | 140、142 インバータ |
| | 200 SOIウエハ |
| | 290 シリコン基板 |
| | 300 酸化物層 |
| | 305 酸化物量域 |
| | 310 シリコン層 |
| | 312、314 フォトリソ・マスク |
| | 315 ゲート酸化物層 |
| | 316、318、319 ドーパント |
| | 321、350、360、370 ケイ化物 |
| | 330 酸化物スペーサ |
| | 340 ゲート・ポリシリコン層 |

【図1】

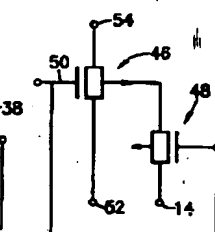
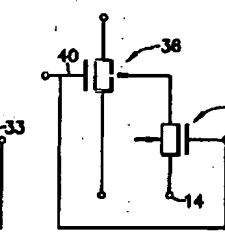
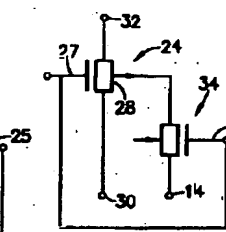
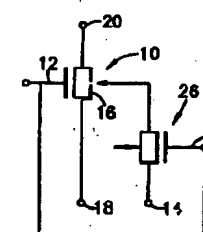
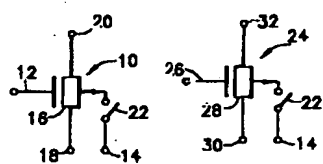
【図2】

【図3】

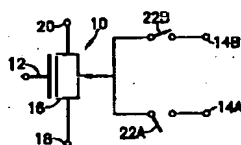
【図4】

【図5】

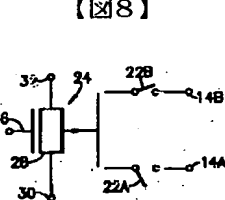
【図6】



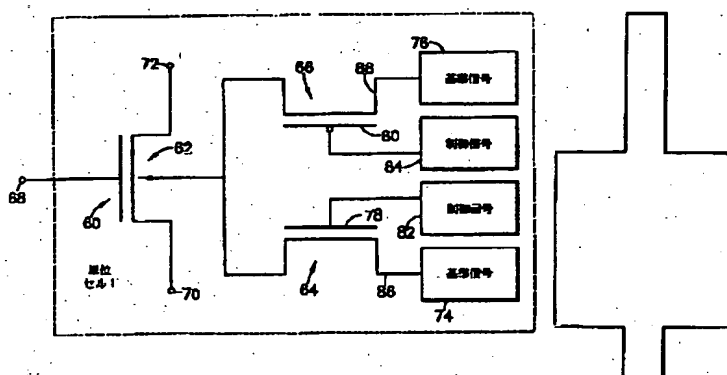
【図7】



【図8】

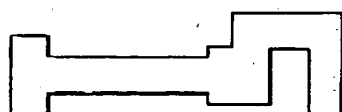


【図9】



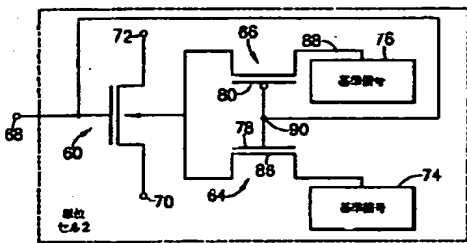
【図16】

【図19】

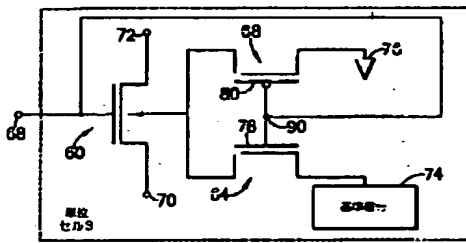


(第2) 100-332132 (P2000-332132A)

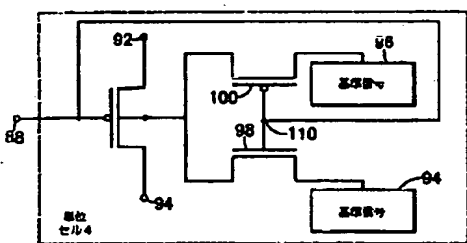
【図10】



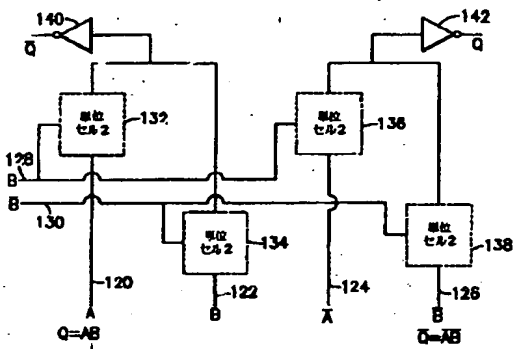
【図11】



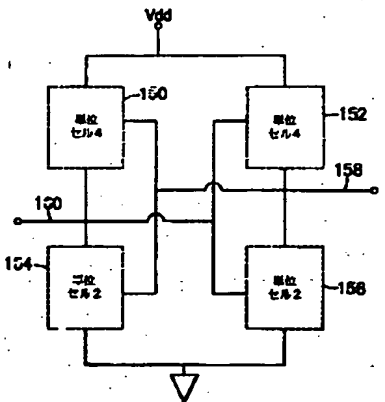
【図12】



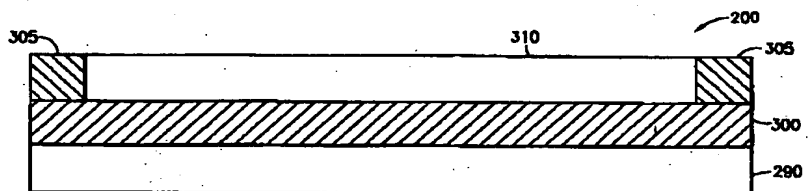
【図13】



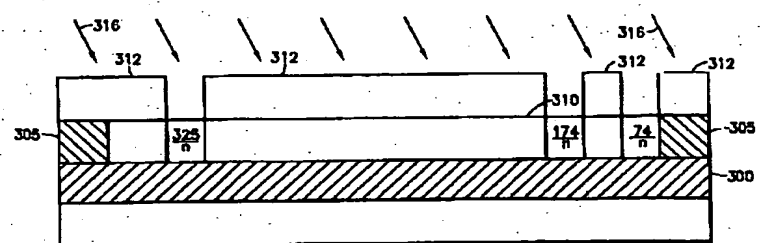
【図14】



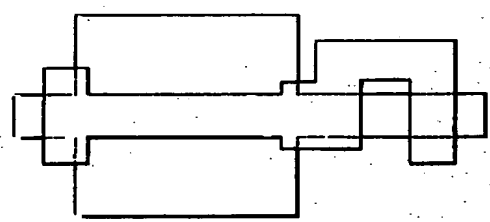
【図15】



【図17】

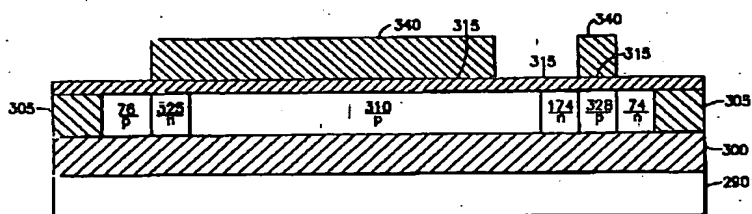


【図20】

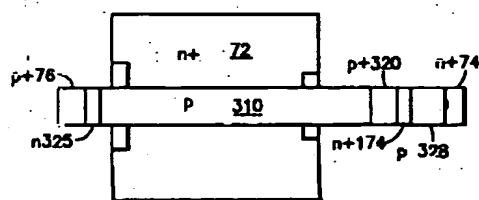


(図3) 100-332132 (P2000-332132A)

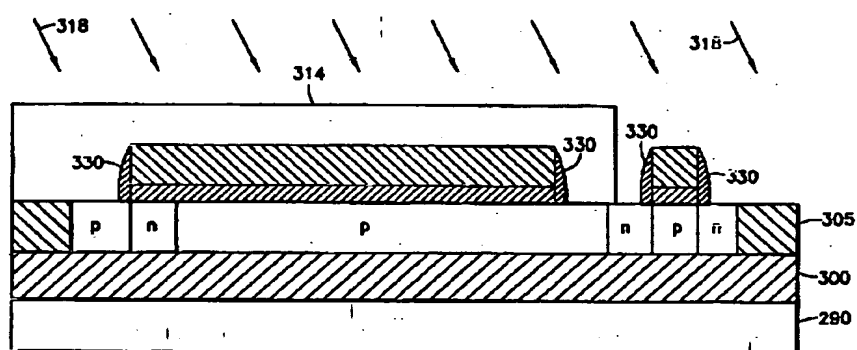
【図18】



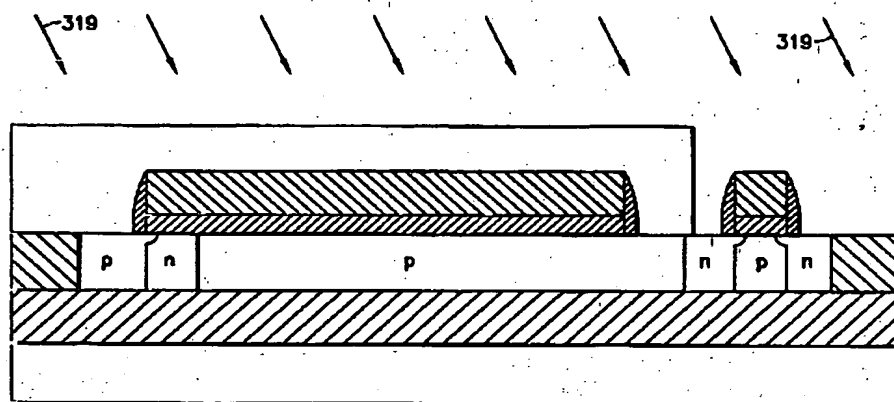
【図21】



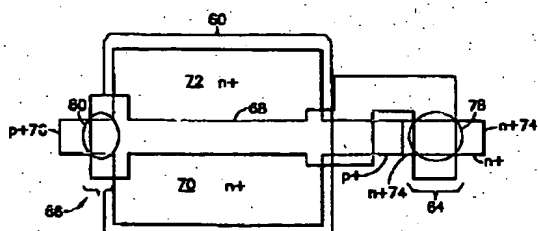
【図22】



【図23】

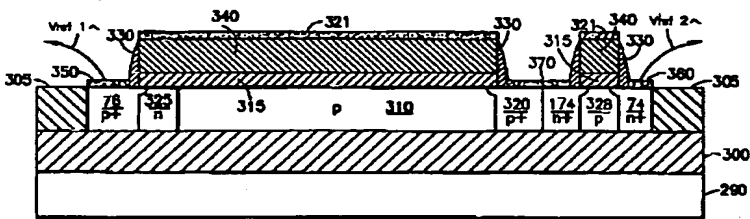


【図24】

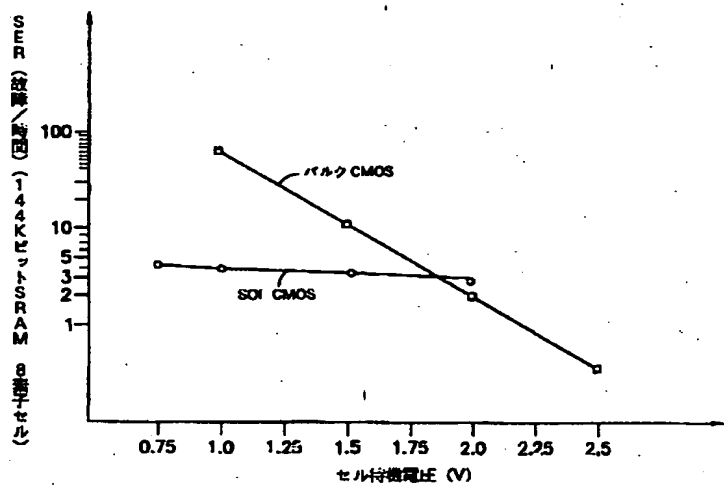


(図 4) 100-332132 (P2000-332132A)

【図 25】



【図 26】



フロントページの続き

(51)Int.Cl. ⁷ H03K 19/0944	識別記号	FI H01L 29/78 H03K 19/094	(参考) 614 622 A
(72)発明者 クラウド・ルイス・バーティン アメリカ合衆国05403、バーモント州サウス・バーリントン、フェザント・ウェイ 33	(72)発明者 テレンス・ブラックウェル・フック アメリカ合衆国05465、バーモント州ジェリコー、ブラウンズ・トレイス・ロード 359		
(72)発明者 ジョン・ジョセフ・エリス・モナハン アメリカ合衆国05458、バーモント州グラント・アイズル、メナード・コート 6	(72)発明者 ジャック・アラン・マンデルマン アメリカ合衆国12582、ニューヨーク州ストームビル、ジャミー・レーン 5		
(72)発明者 エリック・レイ・ヘドバーク アメリカ合衆国05452、バーモント州エセックス・ジャンクション、ラング・ドライブ 20	(72)発明者 エドワード・ジョセフ・ノワック アメリカ合衆国05452、バーモント州エセックス・ジャンクション、ウィンドリッジ・ロード 8		

(5) 100-332132 (P2000-332132A)

(72)発明者 ウィルバー・デビッド・ブライサー
アメリカ合衆国05445、バーモント州シャ
ーロット、スベア・ストリート 5524

(72)発明者 ミン・ホ・トン
アメリカ合衆国05452、バーモント州エセ
ックス・ジャンクション、ロスト・ネイシ
ョン・ロード 160

(72)発明者 ウィリアム・ロバート・トンティ
アメリカ合衆国05452、バーモント州エセ
ックス・ジャンクション、ブルースター
ン・ロード 4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.